

**Tema:** Sincronización de Circuitos Integrados  
**Subtema:** Doble Captura y Captura Nula  
**Objetivos:** Comprender fallos de sincronización de circuitos integrados

© [eduardo.boemo@uam.es](mailto:eduardo.boemo@uam.es)

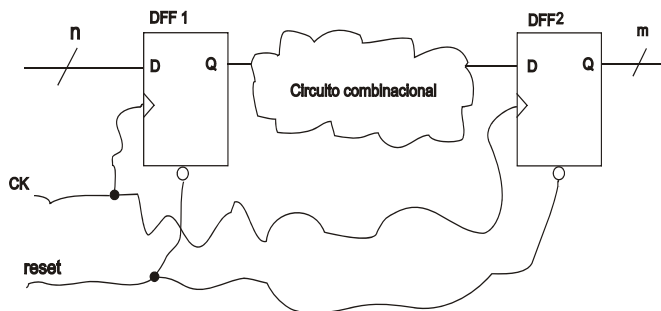
## Problemas Propuestos

1. Explique los parámetros temporales de un FF.
2. Explique los dos fallos de sincronización de un circuito con E/S registrada; Fallo del Camino Largo y Fallo del Camino Corto (Captura Nula y Doble Captura).
3. Explique en el fichero adjunto *de análisis de tiempo* de una FPGA por qué se suma el *skew* y el *setup* al retardo del *path* para obtener el período mínimo?

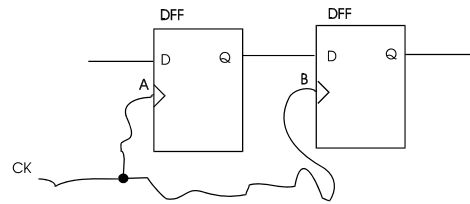
```
=====
Timing constraint: Default period analysis for net $Net00003_
4434 items analyzed, 0 timing errors detected.
Minimum period is 38.749ns.
=====
Delay:      38.749ns U2/so_6_1 to U2/co_7_7_r
           38.743ns Total path delay (36.943ns delay plus 1.800ns setup)
           0.006ns clock skew

Path U2/so_6_1 to U2/co_7_7_r contains 8 levels of logic:
```

4. El sistema de la figura, los FF pueden tener entre 1 y 3 ns de retardo de propagación mientras que las pistas de reloj (desde ck a la entrada de reloj del FF) varían entre 0 y 2 ns. Se pide Indicar cuanto puede ser como máximo el retardo combinacional del circuito si se requiere que el período mínimo del sistema, para la peor combinación de retardos, sea de 200 ns. Considere un valor  $s=3$  de setup del FF.



5. De acuerdo con las características del FF tipo, cual es el valor máximo y mínimo de *skew* que puede soportar el circuito de la figura. Considere *setup* = 2 ns, *hold* = 1 ns y retardo de propagación varía en el intervalo [ 3 ns, 7 ns] MIN-MAX.



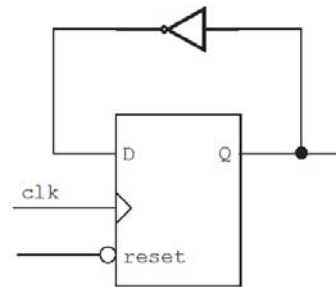
6. Cuál será el período de operación máximo (mejor caso) y mínimo (peor caso) para el circuito del problema anterior, considerando un *skew* entre 0.1 ns y 0.5 ns entre A y B (el reloj llega al punto A con un retardo entre 0.1 ns y 0.5 ns respecto de B).

7. En la siguiente figura, calcule:

A) La frecuencia máxima de operación

B) el retardo mínimo que debe tener el inversor para que el circuito funcione con total seguridad. En la tabla adjunta se resumen los retardos del resto del circuito. Q parte de Q=0.

Elemento	Retardo [ns]
FF retardo de propagación	0,45
FF <i>setup</i>	0,70
FF <i>hold</i>	0,50
Retardo de pistas	0,00



La figura adjunta ha sido extraída de una nota de aplicación del fabricante de FPGAs Actel (Micronsemi). En la misma se sugiere que para eliminar problemas de *skew* se inserte un *buffer* en la línea de reloj (indicado como BUFD) tal como se muestra en el esquema.

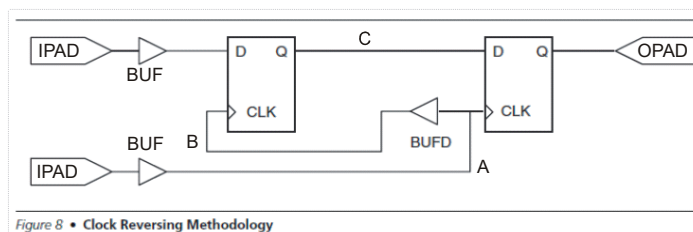


Figure 8 • Clock Reversing Methodology

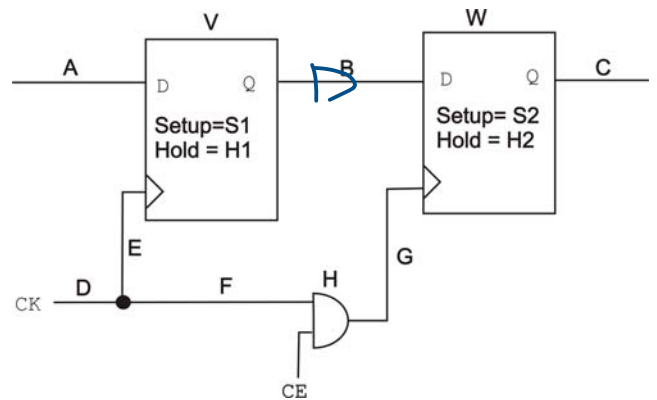
Calcule cuanto debería valer como mínimo el retardo de dicho *buffer* si se desea evitar el fenómeno de doble captura. Utilice los siguientes parámetros simplificados del circuito. Considere FF idénticos y peor caso desde el punto de vista del diseñador.

Elemento	Retardo mínimo [ns]	Retardo máximo [ns]
FFs	2	6
Pista (y Nodo) A	1	3
Pista B	1	1,5
Pista C	0	0,5
BUFF	0,2	0,4
IPAD	0	0
OPAD	0	0
Setup	4	
Hold	5	

8. Suponga que en el problema anterior el retardo de BUFD vale exactamente 4 (máx=mín=4). Calcule el periodo mínimo de reloj para el cual funciona el circuito, considerando el peor caso de combinación de retardos.

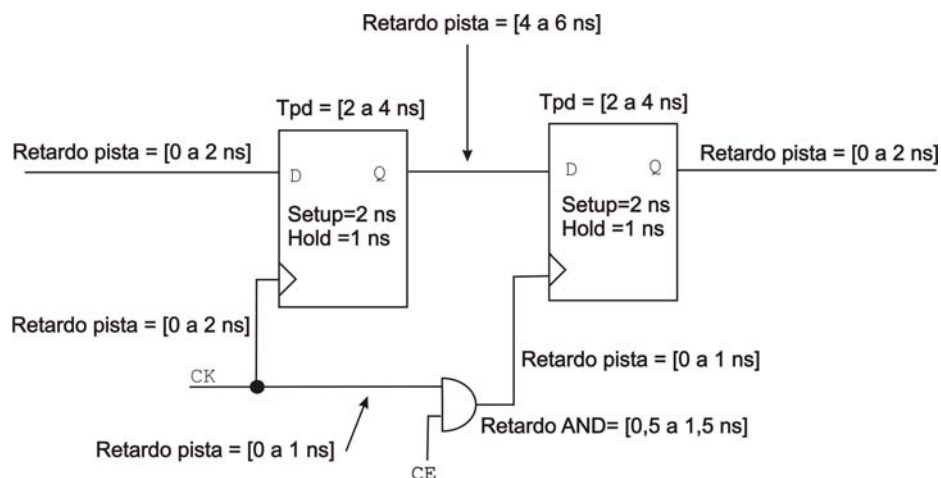
9. El circuito de la figura tiene la siguiente variación en sus parámetros temporales después de su fabricación. No existe correlación alguna entre ellos; es decir, un parámetro puede ser máximo y otro mínimo. Indicar:

- Puede haber doble captura?
- Que valor debe tener un buffer en B para que nunca ocurra doble captura.
- Indicar la frecuencia máxima de operación para la combinación menos favorable de retardos (peor caso; es decir pesimista) con el buffer de b)
- la frecuencia máxima de operación para la combinación más favorable de retardos (es decir, caso optimista - e improbable - donde los parámetros tienen una combinación de valores que justo maximiza la frecuencia máxima). Siga considerando el buffer en B.

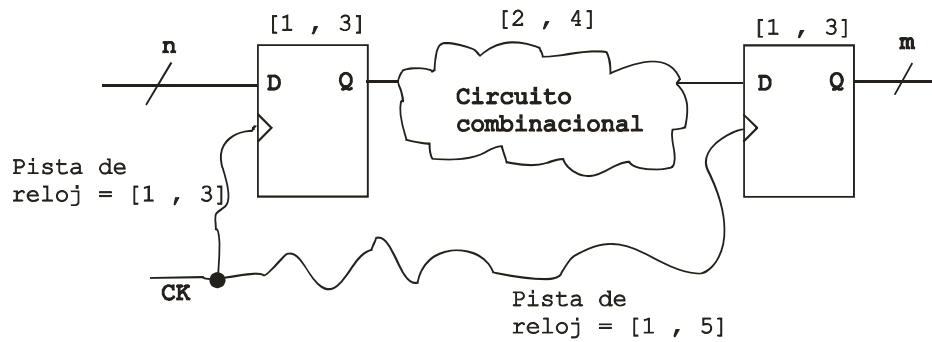


	Tipo	Valor Mín [ns]	Valor Máx [ns]
A	Retardo de Pista	0	0
B	Retardo de Pista	1	2
C	Retardo de Pista	0	0
D	Retardo de Pista de Reloj	1,1	1,2
E	Retardo de Pista de Reloj	1,3	1,4
F	Retardo de Pista de Reloj	1,5	1,6
G	Retardo de Pista de Reloj	1,7	1,8
H	Retardo de Propagación	0,5	0,6
V	Retardo de Propagación	1,9	2,0
W	Retardo de Propagación	1,9	2,0
S1=S2	Setup	3	-
H1=H2	Hold	0,3	-

10. A qué frecuencia máxima funcionará el circuito de la figura para el caso más desfavorable (conservador) de combinación de retardos? Y para el caso más favorable (optimista) de combinación de retardos?



11. En el sistema de la figura, los números entre corchetes indican los retardos mínimos y máximos de cada elemento. Por ejemplo, los FF pueden tener entre 1 y 3 (ns por ejemplo) de retardo de propagación. Se pide:



a) Indicar la frecuencia máxima del sistema, para la peor combinación de retardos, para un valor  $s=3$  de setup del FF.

b) Indicar, de acuerdo con los valores de la figura, para que sub-rango de retardo del bloque llamado “circuito combinacional”, el sistema no funcionará o tendrá problemas de Hold, si éste vale  $H = 0,5$ . Considere en este inciso el peor caso para el problema de Hold; es decir: Retardo FFs = 1; Retardo reloj al primer FF = 1; Retardo reloj al 2do FF = 5.

12. Qué significan en la tabla de abajo los retardos  $T_{CKO}$ ,  $T_{DYCK}$ ,  $T_{DXCK}$  y  $T_{ILO}$ .



### Core Logic Timing

Table 23: CLB Timing

Symbol	Description	Speed Grade				Units
		-5		-4		
		Min	Max	Min	Max	
Clock-to-Output Times						
T <sub>CKO</sub>	When reading from the FFX (FFY) Flip-Flop, the time from the active transition at the CLK input to data appearing at the XQ (YQ) output	-	0.67	-	0.77	ns
Setup Times						
T <sub>DYCK</sub>	Time from the setup of data at the D input to the active transition at the CLK input of FFX	0.08	-	0.09	-	ns
T <sub>DXCK</sub>	Time from the setup of data at the D input to the active transition at the CLK input of FFY	0.08	-	0.09	-	ns
Hold Times						
T <sub>CKDY</sub>	Time from the active transition at FFY's CLK input to the point where data is last held at the D input	0.01	-	0.01	-	ns
T <sub>CKDX</sub>	Time from the active transition at FFX's CLK input to the point where data is last held at the D input	0.01	-	0.01	-	ns
Propagation Times						
T <sub>ILO</sub>	The time it takes for data to travel from the CLB's F (G) input to input to the X (Y) output	-	0.65	-	0.75	ns